

[19]中华人民共和国国家知识产权局

[51]Int.Cl<sup>6</sup>

G11C 11/04

G11C 29/00 G11C 16/02

## [12]发明专利申请公开说明书

[21]申请号 98120106.7

[43]公开日 1999年5月12日

[11]公开号 CN 1216388A

[22]申请日 98.9.29 [21]申请号 98120106.7

[30]优先权

[32]97.9.29 [33]JP[31]263424/97

[71]申请人 日本电气株式会社

地址 日本国东京都

[72]发明人 武田正树

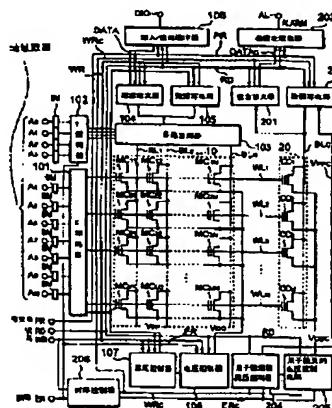
[74]专利代理机构 中科专利代理有限责任公司  
代理人 刘晓峰

权利要求书3页 说明书9页 附图页数8页

[54]发明名称 非易失存储装置及退化检测方法

[57]摘要

一种非易失半导体存储装置包括一存储单元阵列及一检测存储单元阵列，每个检测存储单元与包括多个存储单元的单元存储块相连并与存储单元性能相同，在每次将数据写入相应的单元存储块时，将一预定值写入检测存储单元通过将存储在检测存储器件中的值与预定值进行比较，可检测存储单元的退化状态。



I S S N 1 0 0 8 - 4 2 7 4

## 权利要求书

- 1、一种非易失存储装置，包含：  
电可写的第一非易失存储器件；  
其特征在于还包含：  
电可写且与第一非易失存储器件性能基本相同的第二非易失存储器件；  
存储控制器，用于控制第二非易失存储器件的写 / 读操作，从而每次在第一非易失存储器件中进行写操作时将一预定值写入第二非易失存储器件；及  
一比较器，用于将存储在第二非易失存储器件中的值与预定值进行比较。
- 2、根据权利要求 1 所述的非易失存储装置，其特征在于通过第一写操作将数据写到第一非易失存储器件，并通过第二写操作将一预定值写到第二非易失存储器件，其中第一和第二写操作包括在一预定时间周期中被顺序设置的一删除相和一写相。
- 3、根据权利要求 2 所述的非易失存储装置，其特征在于第二写操作的写相位的时间周期比第一写操作的短。
- 4、根据权利要求 3 所述的非易失存储装置，其特征在于第二写操作的删除相位的时间周期比第一写操作的长。
- 5、根据权利要求 2 所述的非易失存储装置，其特征在于第二写操作的写相位的时间周期与第一写操作的相同。
- 6、根据权利要求 1 所述的非易失存储装置，其特征在于存储控制器在第一非易失存储器件中执行写操作之前执行一预定次数的第二非易失存储器件的写操作。
- 7、一种非易失存储装置，包含：  
第一存储单元阵列，其包括一预定数目的单元存储块，每个单元存储块包括多个每个都电可写的第一非易失存储单元；及

第一存储控制器，其用于控制第一存储单元阵列的指定单元存储块的写 / 读操作；

其特征在于包含：

第二存储单元阵列，其包括预定数目的第二非易失存储单元，每个第二非易失存储单元都是电可写的且与第一非易失存储单元性能基本相同，其中第二非易失存储单元分别对应于各个单元存储块。

第二存储控制器，用于控制与指定单元存储块对应的第二非易失存储单元的写 / 读操作，从而，每次在指定单元存储块中进行写操作时将一预定值写到第二非易失存储单元之中；及

一比较器，用于将存储在第二非易失存储单元中的值与预定值进行比较。

8、根据权利要求 7 所述的非易失存储装置，其特征在于：

通过第一存储控制器控制从而通过第一写操作将数据写入指定的单元存储块；及

通过第二存储器控制从而通过第二写操作将预定值写入第二非易失存储单元之中；

其中第一和第二写操作包括在预定时间周期中顺序设置的删除相及写相位。

9、根据权利要求 8 所述的非易失存储装置，其特征在于第二写操作的写相位的时间周期比第一写操作的短。

1 0、根据权利要求 9 所述的非易失存储装置，其特征在于第二写操作的删除相位的时间周期比第一写操作的长。

1 1、根据权利要求 8 所述的非易失存储装置，其特征在于第二写操作的写相位的时间周期与第一写操作的相同。

1 2、根据权利要求 7 所述的非易失存储装置，其特征在于还包含：

第三存储控制器，其在第一存储单元阵列中执行写操作前执行一预定次数的第二存储单元阵列的写操作。

1 3、根据权利要求 1 2 所述的非易失存储装置，其特征在于还包含：

一开关，其在第一存储单元阵列中执行一写操作前执行一预定次数的第二存储单元的写操作时用于在第三存储控制器的控制下将第二存储单元阵列与第一存储单元阵列电隔离。

1 4、一种用于检测电可写的第一非易失存储器件的退化状态的方法，其特征在于包含如下步骤：

执行第二非易失存储器件的写 / 读操作，其中第二非易失存储器件电可写且与第一非易失存储器件性能基本相同，从而每次在第一非易失存储器件中进行写操作时将一预定值写到第二非易失存储器件；

确定存入第二非易失存储器件中的值是否与预定值相符；及

当存入第二非易失存储器件中的值与预定值不相符时，检测第一非易失存储器件的退化状态。

1 5、根据权利要求 1 4 所述的方法，其特征在于通过第一写操作将数据写入第一非易失存储器件并通过第二写操作将预定值写入第二非易失存储器件，其中第一和第二写操作包括在预定时间周期中顺序设置的删除相位及写相位。

1 6、根据权利要求 1 5 所述的方法，其特征在于第二写操作的写相位的时间周期比第一写操作的短。

1 7、根据权利要求 1 6 所述的方法，其特征在于第二写操作的删除相位的时间周期比第一写操作的长。

1 8、根据权利要求 1 5 所述的方法，其特征在于第二写操作的写相位的时间周期与第一写操作的相同。

1 9、根据权利要求 1 4 所述的方法，其特征在于在第一非易失存储器件中执行写操作前执行一预定次数的第二非易失存储器件的写操作。

## 说 明 书

### 非易失存储装置及退化检测方法

本发明涉及一种电可写且具有非易失性能的半导体存储装置及用于检测半导体存储器的退化状态的方法。

现今的非易失半导体存储装置是通过存储形成于硅基片上的浮置栅极中的电荷而存储信息，通过将电荷存入浮置栅极而增大相对于控制栅极的阈值实现信息的写功能，而信息的消除是通过从浮置栅极去除电荷来完成的。

此类的非易失半导体存储装置的不足之处在于随着每次进行删除/写操作，装置会逐渐退化，最终无法进行删除或写。下面将以EEPROM（电可擦可编程只读存储器）为例进行详细描述。

图8示出当重复进行EEPROM删除/写操作时，用于删除/写所需时间的最小周期内的变化，当重复进行删除/写时，用于删除/写所需的时间周期也会增加，图8中示出在扩散条件发生变化时多个标样的测试结果，从图中可清楚地看出根据生产工艺的变化，写操作的次数也会发生很大的变化。

为此，以标样的测试结果为依据设定写操作的极限次数，并保证操作在极限次数之内。删除/写的异常操作会损坏存储器内的信息，因此，通过下述的传统方法来判定寿命。

为了检测非易失半导体存储器的寿命，存储装置设置有计数存储器，用于在每一存储块保存写操作的次数，其中的每一存储块是执行写操作的最小单位，存储装置还有一个计数器，用于计算写操作的次数并用于计数更新计数存储器，当写操作的次数超过一预定次数时会产生报警信号，在日本专利申请公开平No. 7-254290中对这种存储装置进行了描述。

更具体地，其操作过程如下，当将数据写入某存储块时，即首先对

存储块内的所有存储单元进行删除操作并将存储单元的内容设定在 0。然后，仅对存储块内内容应设定为 1 的存储单元进行写操作，与被写入存储块对应的计数器的计数增加 1，当与任何存储块对应的写操作的次数超过一预定次数时，会产生报警信号通知用户存储单元寿命已到。

在上述设定写操作的极限次数的方法中，通过评估产品来判定写操作的极限次数，而且，当写操作的极限次数达到一给定的写操作的次数时，则判定存储装置寿命已到。

相应地，由于是通过控制板根据写操作的预定次数而非其退化状态判定寿命，这样就会产生一个问题，在将写操作的次数设定到一给定极限值的情况下，就会判定存储单元无法再使用，即使事实是存储单元还足以继续工作，由于针对不同的生产标准存储单元在生产过程中会有一些波动，写操作的极限值必须针对最差的状态而设定，其结果，不可能根据性能使用存储单元。

第二个问题是需要一个大容量存储器，即计数存储器用于保存每个存储块的写操作的次数，例如，在计数次数超过 100,000 次时，计数存储器的每个存储块需要 17 个存储单元（17 位）。

本发明是针对上述情况而完成的，因此本发明的目的是提供一种非易失半导体存储装置，其可以可靠并精确地检测非易失半导体存储装置的退化状态。

根据本发明的一个方面，非易失存储装置包含：第一电可写的非易失存储器件及电可写且性能与第一非易失存储器件大致相同的第二非易失存储器件；一存储控制器，其控制第二非易失存储器件的写 / 读操作，这样每次在第一非易失存储器件中执行写操作时会将一预定值写到第二非易失存储器件中；一比较器，其将存入第二非易失存储器件中的值与预定值进行比较。

第二非易失存储器件可用来根据非易失存储器件的特性检测是第一非易失存储器件的实际退化状态。因此，与其中写操作次数固定的传统方法相比，本发明的存储器件可作为具备各存储器件的性能的协调整体。

此外，第二非易失存储器件的退化状态相当于第一非易失存储器件

的最差的退化状态，或第二非易失存储器件比第一非易失存储器件退化的程度更深。

根据本发明的另一方面，非易失存储装置包含：第一存储单元阵列，其包括一预定数目的单元存储块，每个存储块包括多个第一非易失存储单元，而每个存储单元都是电可写的；及一第二存储单元阵列，其包括预定数目的的第二非易失存储单元，每个存储单元是电可写的并与第一非易失存储单元性能基本相同，其中第二非易失存储单元分别对应于各个单元存储块。另外，第一存储控制器控制第一存储单元阵列的指定单元存储块的写 / 读操作，而第二存储控制器控制对应于指定单元存储块的第二非易失存储单元的写 / 读操作，从而每次在指定单元存储块中进行写操作时将一预定值写到第二非易失存储单元中；一比较器将存储在第二非易失存储单元中的值与预定值进行比较。

因此，对每个单元存储块提供一个存储单元就足够了。

通过下面结合相应附图的详细描述会使本发明的上述及其它的目的、特征及优点更加清楚明了：

图 1 为根据本发明第一实施例的非易失半导体存储器装置的电路图；

图 2 A 为在存储单元之上进行删除 / 写操作时的时序波形图；

图 2 B 为当在检测存储单元之上进行删除 / 写操作时的时序波形图；

图 3 为图 1 中所示的第一实施例的时序控制器的电路图；

图 4 为图 3 中所示的时序控制器的操作的时序波形图；

图 5 为图 1 中所示的第一实施例的数据比较电路的电路图；

图 6 为图 5 中所示数据比较电路的操作的时序波形图；

图 7 为本发明第二实施例的电路图；

图 8 A 为存储单元的删除速度随时间推移的性能变化图；及

图 8 B 为存储单元的写速度随时间推移的性能变化图。

下面参考相应附图对本发明的最佳实施例进行详细描述。

### 第一实施例：

参考图 1，一EEPROM包括一个存储单元阵列 10 和一个检测存储阵列 20，存储单元阵列 10 由  $M \times N$  组存储单元  $MC_{11}$  到  $MC_{MN}$  构成，检测存储阵

列20由M个用于检测退化状态的检测存储器单元CC<sub>1</sub> 到CC<sub>M</sub> 构成，存储单元及检测存储单元可以为浮置栅极半导体存储单元。

可根据地址数据A0-A10访问任何一个存储单元。X解码器101通过各个地址缓冲器BM输入地址数据位A4至A10，而解码器101根据地址数据A4-A10将字线WL<sub>1</sub>至WL<sub>M</sub> 中的一个置于选择状态而其它字线处于非选择状态。字线WL<sub>1</sub>至WL<sub>M</sub> 分别与M个单元存储块MC<sub>11</sub> - MC<sub>1N</sub> '、MC<sub>21</sub> - MC<sub>2N</sub> '……，MC<sub>M1</sub> - MC<sub>MN</sub> '相连。更具体地，每个单元存储块的存储单元的控制栅极共同地与相应的字线相连。

地址位A0到A3通过各个地址缓冲器BM<sub>S</sub> 输入到一个Y解码器102，Y解码器102与多路复用器103相连。多路复用器103根据所述Y解码器102的输出将位线BL<sub>1</sub>到BL<sub>N</sub>中的一个置于选择状态而其它位线处于非选择状态。

检测存储器阵列20的检测存储单元CC<sub>1</sub> 至CC<sub>M</sub> 的控制栅极分别与字线WL<sub>1</sub>至WL<sub>M</sub> 相连。换句话说，为每个存储块提供检测存储单元的CC<sub>1</sub> 到CC<sub>M</sub> 。

多路复用器103将位线BL<sub>1</sub> 到BL<sub>M</sub> 中选出的一个与读出放大器104及数据写电路105相连，读出放大器104根据预充电信号PR，写信号WR及读信号RD将读数据DATA输出到输入 / 输出缓冲器106。数据写电路105输入一个电压V<sub>pp</sub>并根据写信号WR及读信号RD向多路复用器103输出一个预定电压。

高压控制器107根据读信号RD，写信号WR及删除信号ER向数据写电路105施加电压V<sub>pp</sub>，类似地，电压控制器108根据读信号RD，写信号WR及删除信号ER向存储单元MC<sub>11</sub> 到MC<sub>MN</sub>施加电压V<sub>DD</sub> 。

与检测存储器阵列20相连的位线BL分别与读出放大器201及数据写电路202相连。读出放大器201根据检测写信号WR<sub>c</sub>及读信号RD向数据比较电路203输出检测读数据DATA<sub>c</sub>。数据写电路202根据检测写信号WR<sub>c</sub>及读信号RD输入一个检测电压V<sub>ppc</sub>并向位线BL<sub>c</sub>输出一个预定电压。

检测高压控制器204根据读信号RD、检测写信号WR<sub>c</sub>及检测删除信号ER<sub>c</sub>向数据写电路202施加检测电压V<sub>ppc</sub>，检测电压控制器205根据读信号RD，检测写信号WR<sub>c</sub>及检测删除信号ER<sub>c</sub>向检测存储单元CC<sub>1</sub>到CC<sub>M</sub>施加一

个读电压 $V_{DDC}$ 。

另外，时序控制器206输入删除信号ER及写信号WR以进行时间调节，并如上所述产生检测写信号WRc及检测删除信号ERC。

根据本发明的存储装置，用检测存储单元CC<sub>1</sub> 到CC<sub>M</sub> 判定存储块中存储单元MC<sub>11</sub> 到MC<sub>MN</sub> 的退化状态。

例如，当选择字线WL<sub>1</sub> 时，由存储单元MC<sub>11</sub> 到MC<sub>1N</sub> 构成的第一单元存储块被置于被选择状态，同样将检测存储单元CC<sub>1</sub> 也置于被选择状态，当第一单元存储块被删除时，同时也删除掉检测存储单元CC<sub>1</sub>，且全部内容变为0，同样，将数据写入第一单元存储块中时，只在状态从0变到1的存储单元上进行写操作，然而，在检测存储单元CC<sub>1</sub> 上一直进行写操作，相应地，在0被写入第一单元存储块的所有单元中时，在所有单元上无写操作，但在此情况下，必须将1写入检测存储单元CC<sub>1</sub> 中，通过此种结构，由于大多数次数的删除 / 写操作是通过检测存储单元CC<sub>1</sub> 进行的，其中1一直被写入字线WL<sub>1</sub> 上的存储单元，且在使用状态下检测存储单元CC<sub>1</sub> 是最忙碌的单元。

当从第一单元存储块的任何一个单元读取数据时，与此同时读取检测存储单元CC<sub>1</sub> 中的数据，并通过检测单元内容中是否含有1而对退化状态进行检测，这同样适用于其它单元存储块及与其相对应的检测存储单元。

通过此操作，同一字线上的检测存储单元最易退化，即使在使存储单元阵列10及检测存储器阵列20的删除 / 写状态彼此相同的情况下，也可由检测存储器阵列20确认退化状态。

当存在这样一个存储单元，其内容在存储单元MC<sub>11</sub> 到MC<sub>MN</sub> 中的每次写操作中一直被写入1时，在同一字线上的存储单元与检测存储单元的退化度相同。在此情况下，检测存储单元的写条件设定得比存储单元的更严格，下面将描述删除 / 写操作。

#### 数据写操作：

下面将对写操作进行描述，其中以在由存储单元MC<sub>11</sub> 到MC<sub>1N</sub> 构成的第一单元存储块上进行的写操作为例。

首先，删除掉写入第一单元存储块中的数据，在输入删除信号ER的

同时，删掉存在存储单元MC<sub>11</sub> 到MC<sub>1N</sub> 中的内容，与此同时也删除掉检测存储单元CC<sub>1</sub>。

随后，进行数据写操作，由于第一单元存储块全部存储单元MC<sub>11</sub> 到MC<sub>1N</sub> 都为 0，只在状态应从 0 变为 1 的存储单元上进行写操作，写信号WR使数据被写入第一单元存储块中，通过设定数据写电路202从而 1 一直被写入检测存储单元CC<sub>1</sub>，正如下面将要描述的通过时序控制器206控制删除 / 写的条件。

参考图2A及2B，当指定了一个地址时，删掉在被指定单元存储块中的存储单元MC<sub>11</sub> 到MC<sub>1N</sub> 及相应的检测存储单元CC<sub>1</sub> 内容，此后进行写操作，更具体地，根据5msec脉冲宽度的删除信号ER在存储单元MC<sub>11</sub> 到MC<sub>1N</sub> 上进行删除操作且同样根据6msec脉冲宽度的删除信号ERc在检测存储单元CC<sub>1</sub> 上进行删除操作，随后，根据5msec脉冲宽度的写信号WR在存储单元MC<sub>11</sub> 到MC<sub>1N</sub> 上及根据4msec脉冲宽度的写信号WRc在检测存储单元CC<sub>1</sub> 进行写操作。

按此方式，只在具有相同删除 / 写时间周期（10msec）的检测存储单元CC<sub>1</sub> 上设置严格的写条件，由于存储单元及检测存储单元具有相同的退化特性，因此写操作并不早于存储单元而在写条件严格的检测存储单元上进行。下面将描述的时序控制器206执行此种删除 / 写控制的操作进行描述。

#### 数据读操作：

通过指定地址而不是在存储块中进行读操作，例如，在读取属于第一单元存储块的地址数据的情况下，通过读出放大器201读取被写在相应检测存储单元中的数据，并当读取数据不是 1 时数据比较电路203产生报警信号，当在检测存储单元上无法正常进行写操作时，主存储器10的退化也非常快，因此很容易推测寿命的终止。

#### 删除 / 写时序控制：

参考图 3，时序控制器206输入删除信号ER及写信号WR以产生检测写信号WRc及检测删除信号ERc。删除信号ER被输入到触发电路301的设定端及与门302的反相输入端，与门302在另一输入端输入触发电路301的输出并产生输出信号S2或门303输入来自与门302的信号S2及写信号WR以产生输

出信号S3。

时钟信号CLK及信号S3被输入产生时钟信号的与门304用于控制计数器305，非与门306输入写信号WR及触发电路301的输出以产生被输出到计数器305的清零端的复位信号S1，当已经超过预定的超时周期时，计数器305的Qn信号输出到与门307及308。与门307输入写信号WR及信号S4以产生检测写信号WRc，与门308输入信号S4及触发电路301的输出信号以产生被输出到触发电路301的复位端的信号S5。

如图4中所示，当删除信号ER升高时，触发电路301改变到设定状态，其结果检测删除信号ERc升高，由于信号S2及S3都低，时钟信号CLK不会提供给计数器305。

当删除信号ER下降时，信号S2及S3上升由此计数器305根据时钟信号CLK开始计数，当计数器305达到预定计数值时，也即已过了预定的超时周期，信号S4上升。因此，复位信号S5上升，由此触发电路301被复位，其使检测删除信号ERc下降，换句话说，按照计算器305已设定的预定超时周期，检测删除信号ERc的脉冲宽度比删除信号ER的脉冲宽度长，在图2A及2B所示的情况，预定超时周期为1 msec。

接着，当写信号WR上升时，信号S3上升且计数器305根据时钟信号CLK开始计数，由于此时信号S4仍然保持很低，检测写信号WRc也低，当计数器305达到预定计数值时，信号S4上升，结果检测写信号WRc上升，当写信号WR下降时，检测写信号WRc也变低，因此，根据计数器305已经设定的超时周期检测数据作比较，检测写信号WRc的脉冲宽度比写信号WR的短。

参考图5，数据比较电路203从相应的检测存储单元通过读出放大器201输入检测数据DATAc并根据预充电信号PR及读信号RD检查，检测数据DATAc是否有预期的数值（“1”）。当读数据DATAc不是1时，数据比较电路203产生报警信号。

读信号RD被提供给开关晶体管401的栅极而由反相器403的反相的读信号也被提供给开关晶体管402的栅极，当读信号RD为1时，开关晶体管401处于开状态而开关晶体管402处于闭合状态，在此情况下，预充电信号PR被作为信号S6提供给非与门417输入端。

时钟信号CLK被提供给开关晶体管404、410及413的栅极，由反相器406反相的时钟信号被提供给开关晶体管405、409及414的栅极。

当开关晶体管404被导通时，信号S6通过它并被输入到串联连接的反相器407和408及与反相器407和408并联连接的开关晶体管405，反相器408的输出信号S7被输入到开关晶体管409。

当开关晶体管409被导通时，信号S7通过它并被输入到串联连接的反相器411和412及与反相器411和412并联的开关晶体管413，反相器412的输出信号S8被输入到开关晶体管413。

当开关晶体管413被导通时，信号S8通过它并输入到串联连接的反相器415和416和与反相器415和416并联的开关晶体管414，反相器416的输出信号S9被输入到非与门417的另一输入端。

非与门417的输出信号S10被提供给开关晶体管418的栅极并被反相器419反相，被反相的信号被提供给开关晶体管420的栅极，当开关晶体管418处于导通状态时，来自读出放大器201的读数据DATAc通过开关晶体管418并被反相器421反相，因此，如果预定值1未能被写到检测存储单元，其结果是，读数据DATAc变为0，则报警信号成为1。

只有在读信号RD为1且开关晶体管401导通时才输入预充电信号PR，并当预充电信号PR下降时在指定地址从检测存储单元读取检测数据DATAc。

参考图6，当读信号RD为0时信号S6一直为0，并当读信号RD为1时其等同于预充电信号PR，由于信号S7、S8及S9彼此延迟半个时钟周期，得到的信号S9延迟一个半时钟周期，且预充电信号PR被输入到非与门417，在此情况下，根据非与门417的输出信号S10调节从检测存储单元读取的检测数据DATAc的检测时间。在从检测存储单元未正常地读取检测数据DATAc的情况下，报警信号从0变到1。

在此情况下，在存储单元阵列10上进行删除/写操作的同时，在检测存储器阵列20上以严格的条件进行写操作，在进行读操作时对保存在检测存储单元中的检测数据DATAc进行确认，其结果在存储单元阵列10还未正常工作前就可预测寿命的长短。

第二实施例：

下面参考图7对本发明的第二实施例进行描述，其中与前面参考图1描述的类似的电路元件用相同的标号表示且在此略去对其的描述。

参考图7，在字线 $WL_1 - WL_M$ 上的存储单元阵列10与检测存储单元阵列20间插入M个开关晶体管 $SW_1 - SW_M$ ，选择信号SEL被反相器701反相且将被反相的选择信号共同提供给开关晶体管 $SW_1 - SW_M$ 的栅极。同样将选择信号SEL提供给开关晶体管702的栅极，开关晶体管702在当开关晶体管 $SW_1 - SW_M$ 处于关闭状态时被用来向检测存储单元 $CC_1 - CC_M$ 的控制栅极提供删除/写电压。

在此实施例中，可提前将使用检测存储器阵列20的次数设定得比使用存储器阵列10的次数多，例如，在开始使用存储单元阵列10之前在检测存储器阵列20上进行大约5,000次的删除/写操作，从而检测存储器阵列20被置入事先比存储器阵列10更退化的状态，即使在使检测存储器阵列20的删除/写时间周期与存储器阵列10的完全相同的情况下，也可获得相同的效果。

如上所述，本发明的第一个优点在于，与写操作次数固定的传统方法相比较，本发明的存储器件可作为具有各个存储单元的性能的协调整体被使用，其原因如下，每次在存储器阵列10上进行删除/写操作时，相应的检测存储单元被删除，且数值1被一直写入其中，因此，由于检测存储单元的退化状态等于存储单元的最差的退化状态，或检测存储单元比存储单元更差。所以可通过检测存储在检测存储单元之中的数据判定相应单元存储块的退化状态。

在本发明的第二个好处在于，所需大容量存储器的数目减少了，在传统器件中准备作为计数器的存储器的情况下，每个存储块需要10个奇数位，而根据本发明，对每个存储块只需提供一个存储单元。

为描述的目的前面已对本发明的最佳实施例进行了描述，其目的并非是为了穷尽或限定本发明的范围，在对本发明的理解及应用中会有各种的变化，所选实施例的目的在于描述本发明的原则，对本领域技术人员而言可作各种的修改及变更，而本发明的范围仅由所附权利要求进行限定。

说 明 书 附 图

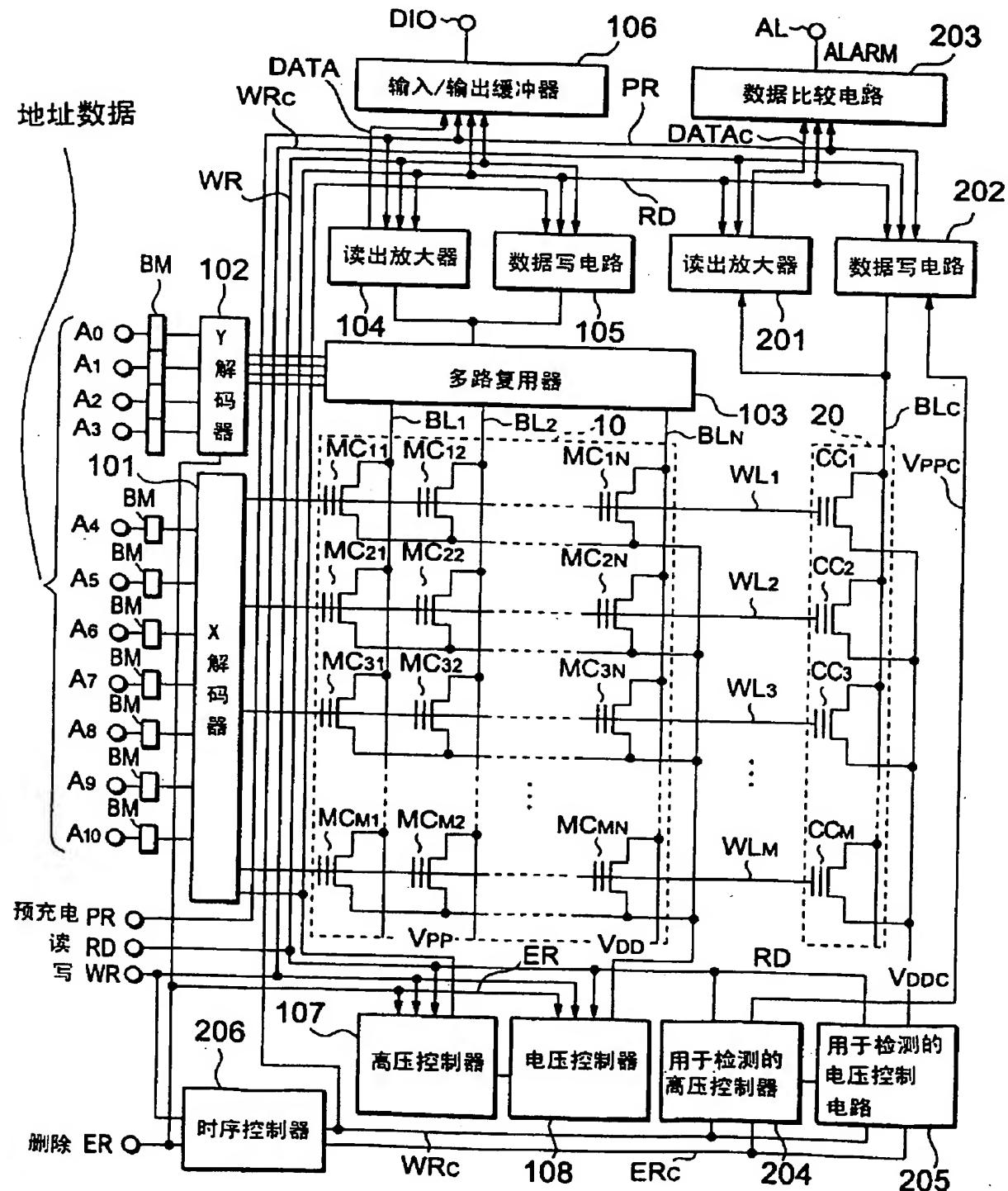


图 1

99·0 0000

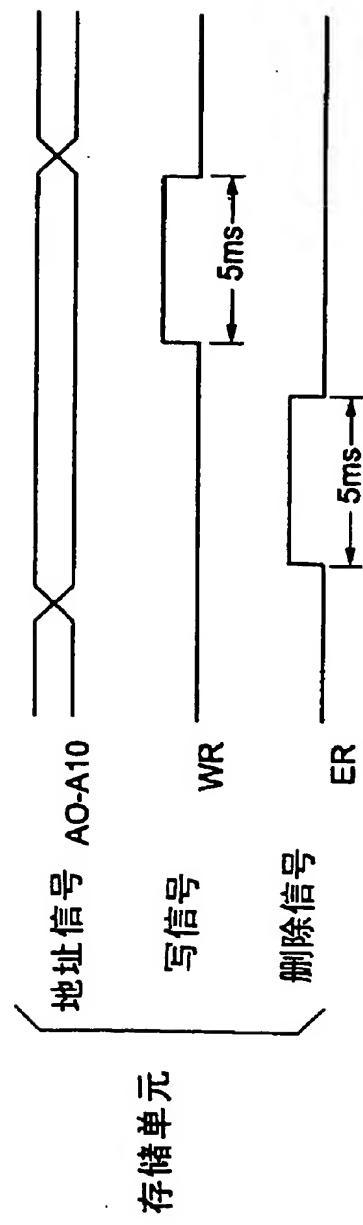


图 2A

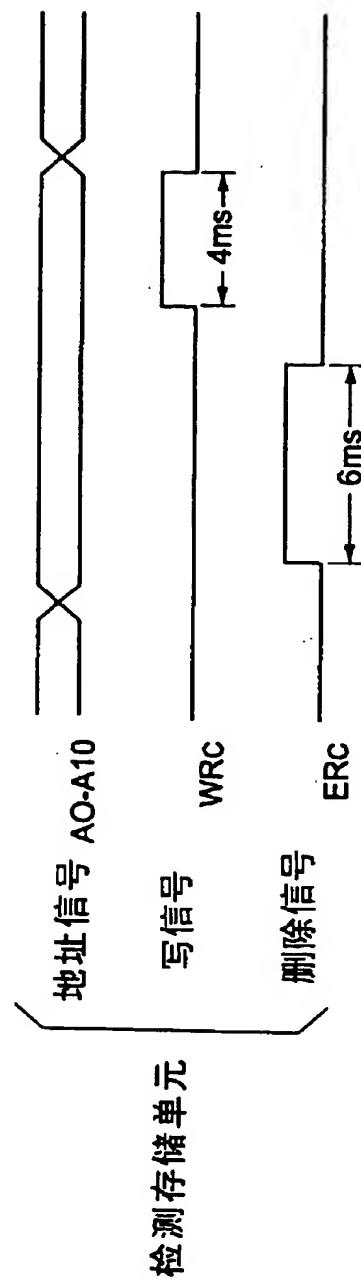
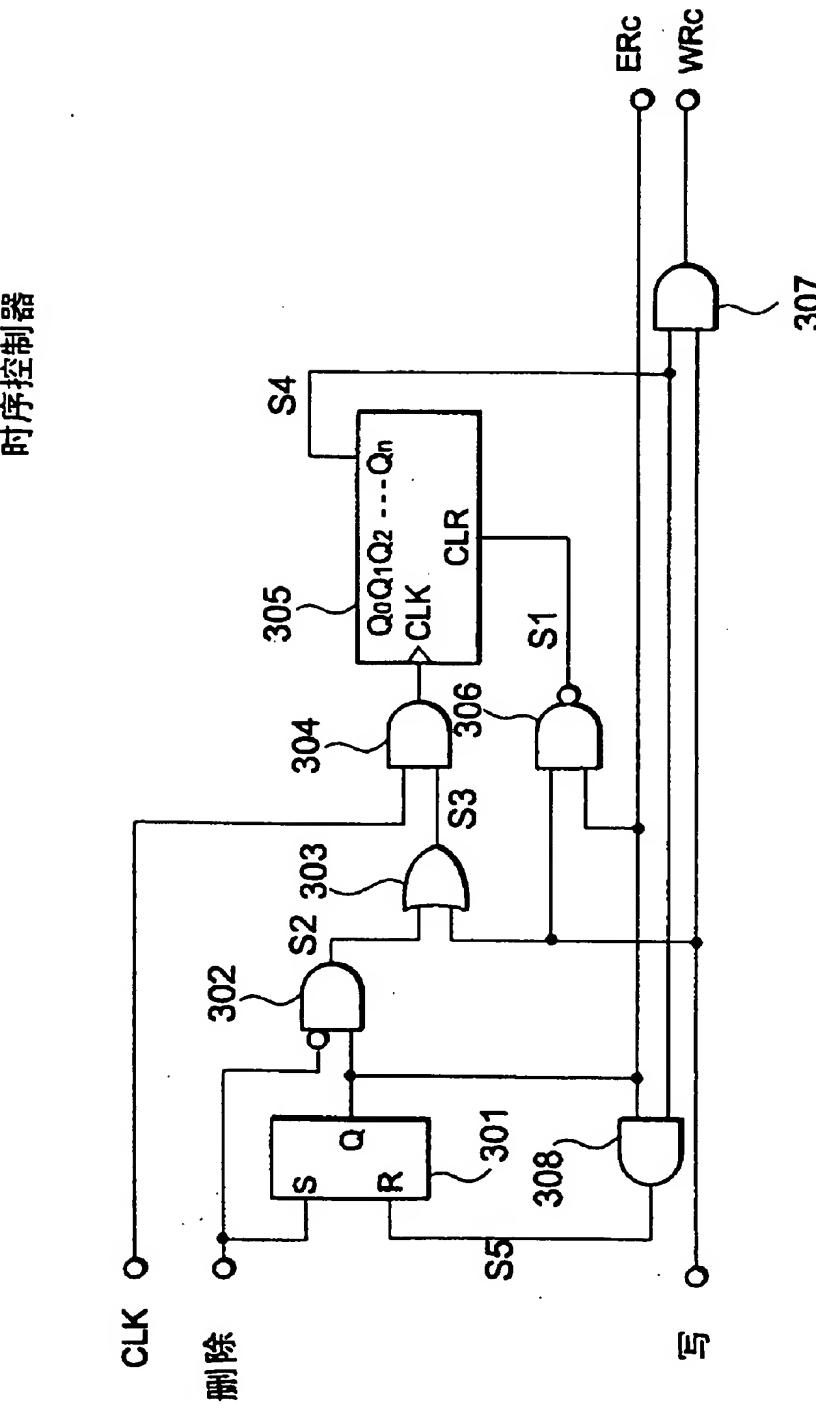


图 2B

3



99.01.20

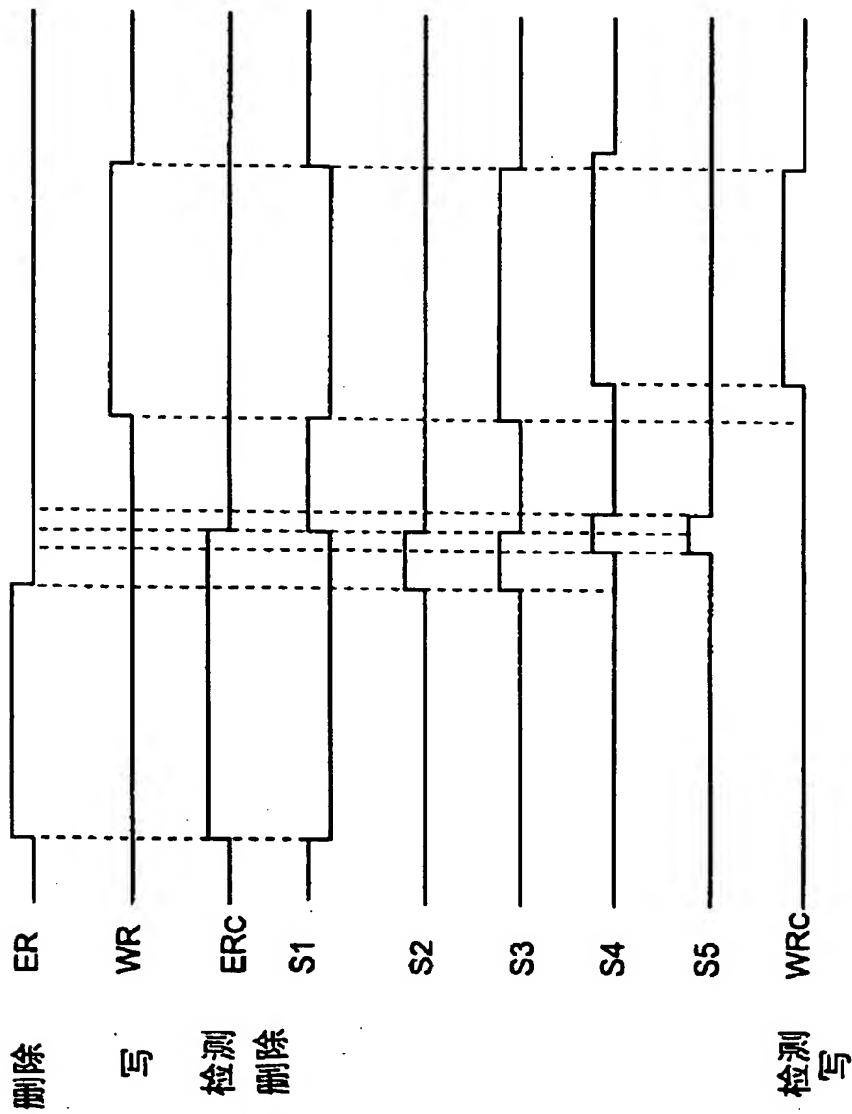
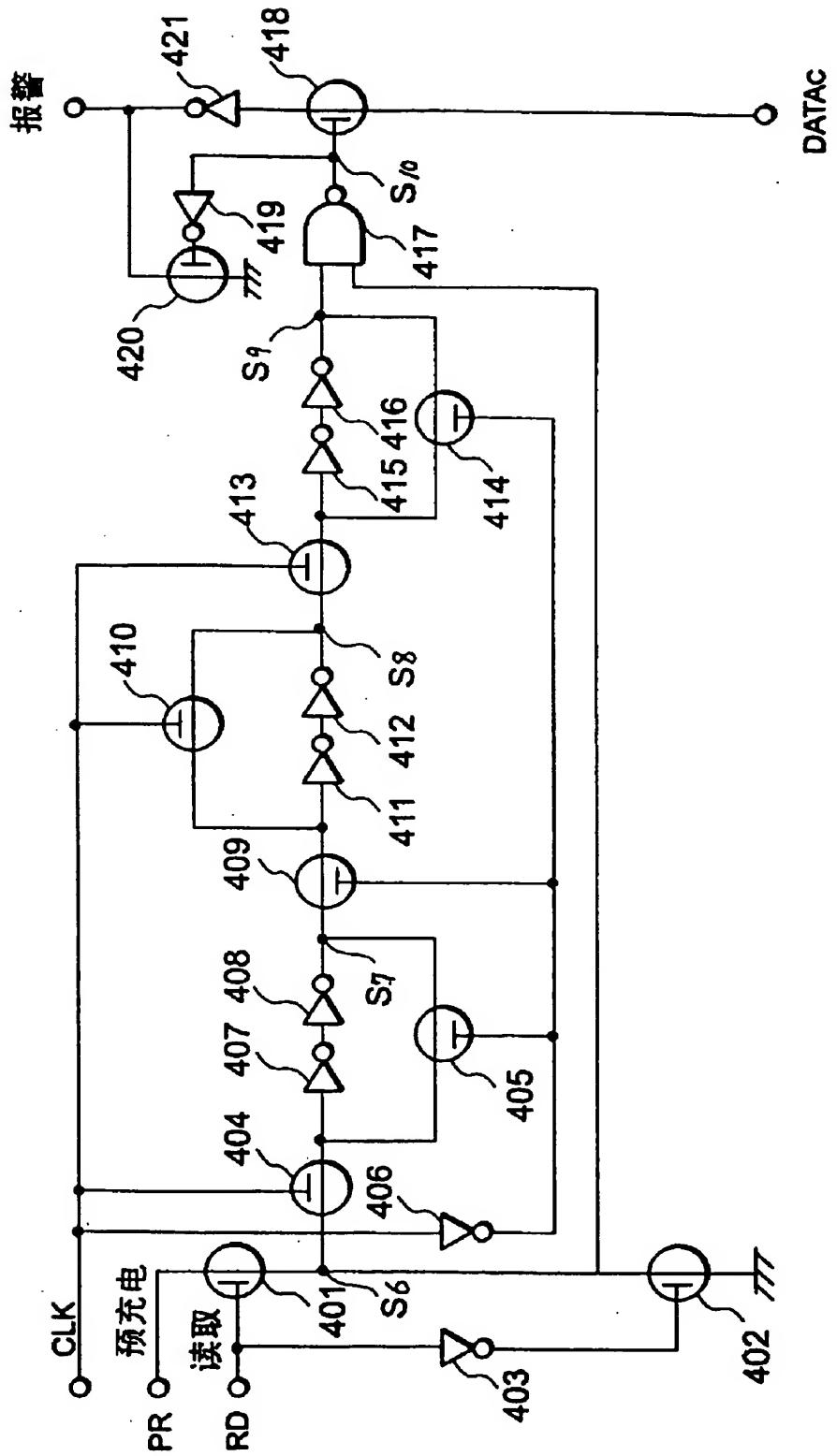


图 4

图 5



来自读出放大器 201

99.01.23

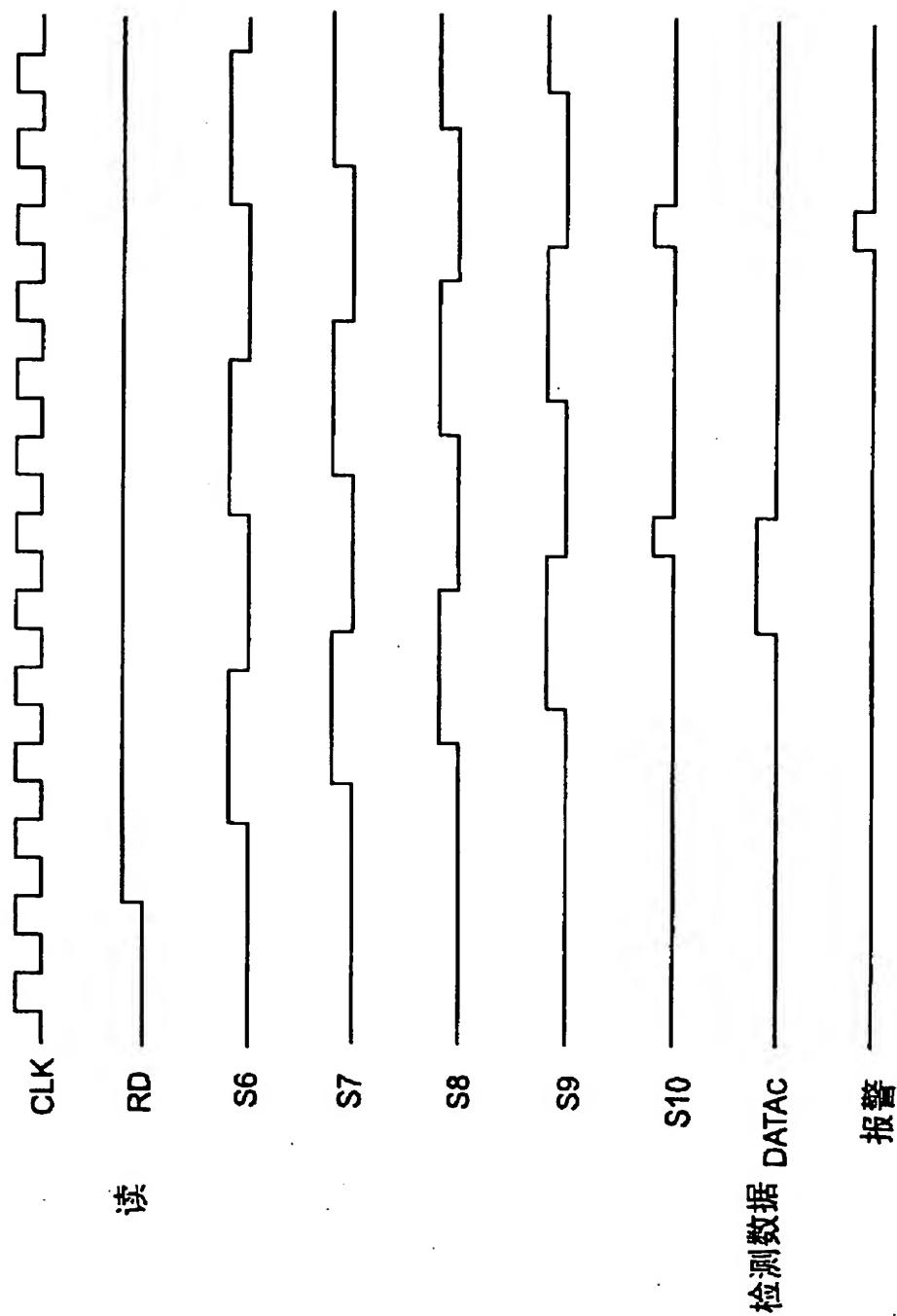


图 6

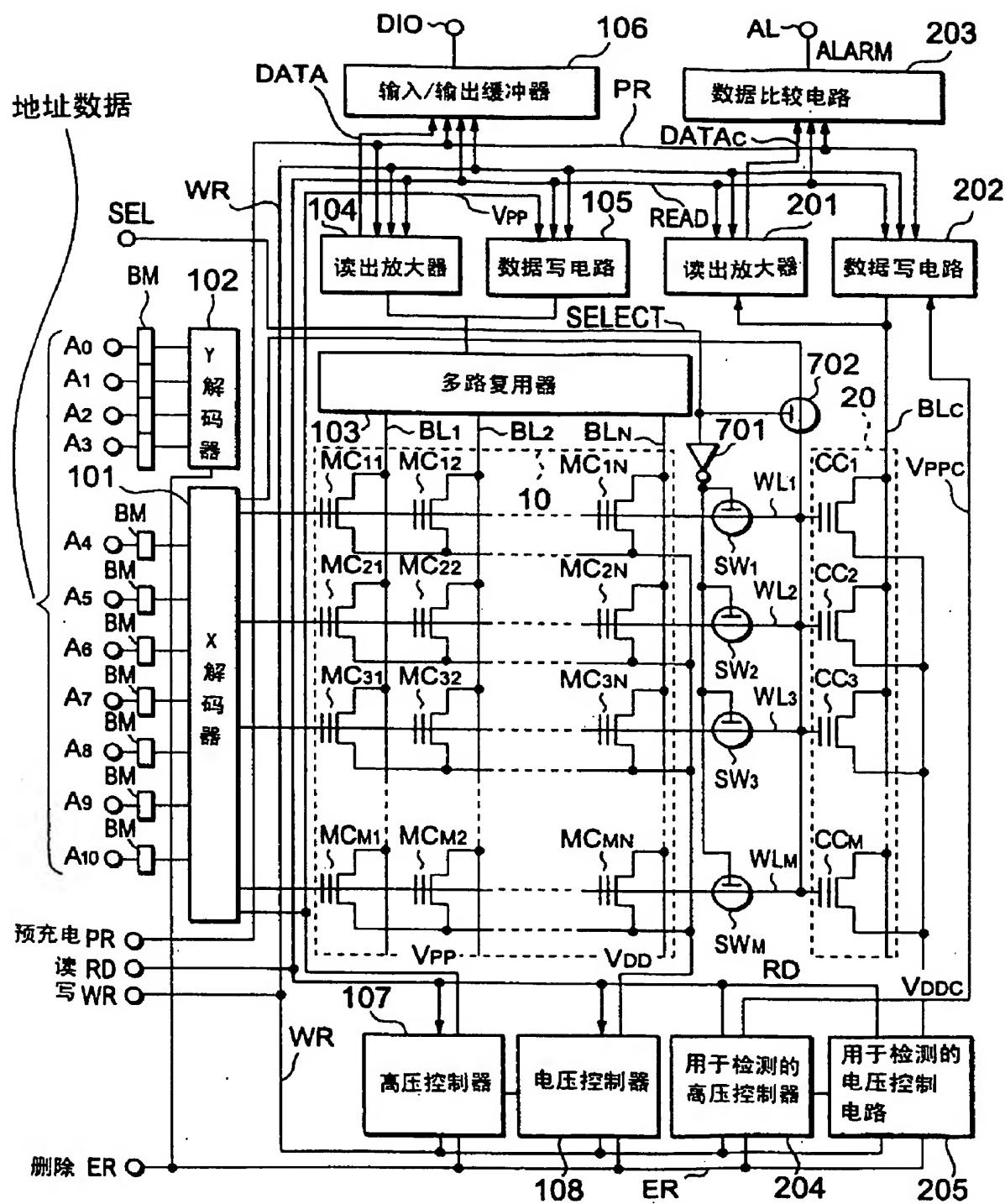


图 7

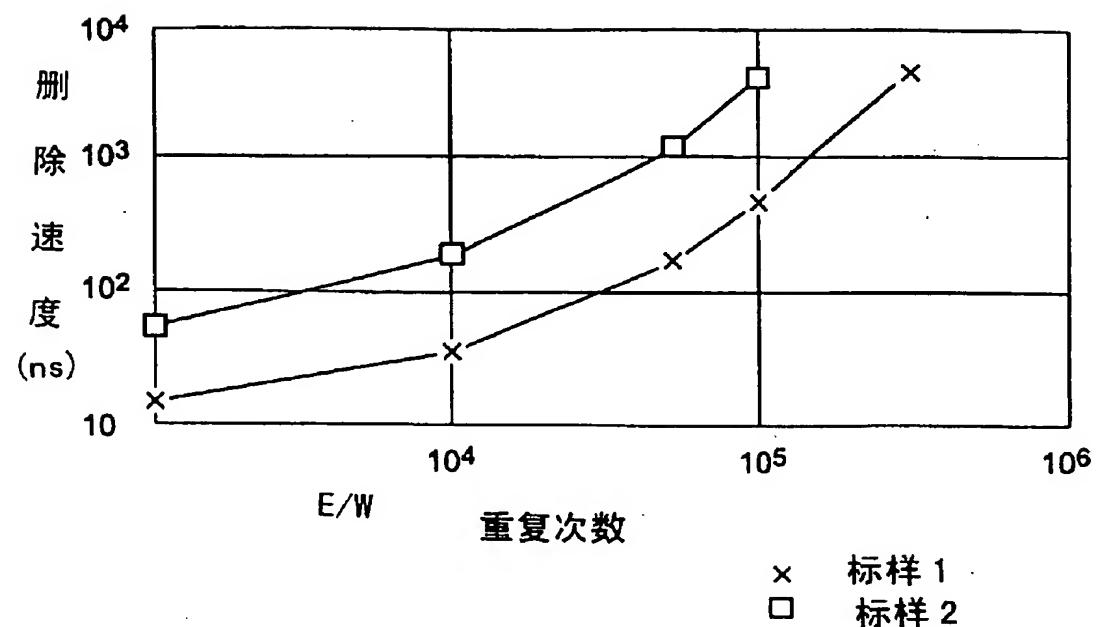


图 8A

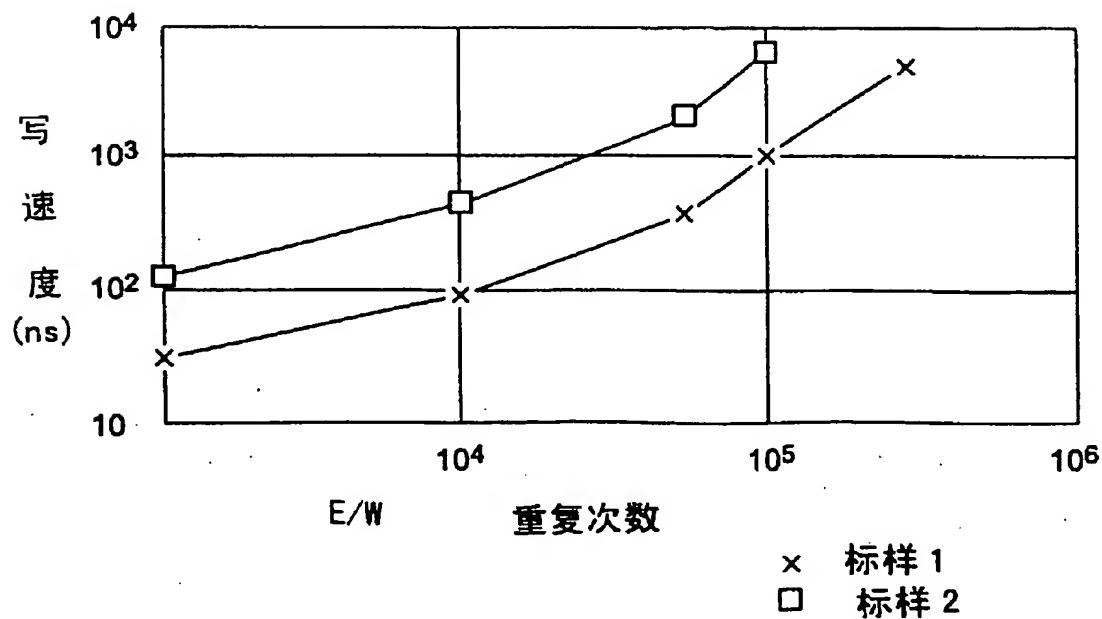


图 8B

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

### **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**